

31.25 μ s
control loop
cycle time

eXtreme Fast Control (XFC) mit dem Multiachs-Servoregler AX8000

Mit dem Multiachs-Servosystem AX8000 lassen sich mehrkanalige Antriebslösungen außergewöhnlich kompakt aufbauen. Besondere Merkmale sind die sehr schnelle Regelungstechnik (eXtreme Fast Control) mit außergewöhnlich kurzen Zeiten zur Verarbeitung von EtherCAT-Frames. Durch TwinCAT im Antrieb können Anwender Motion Control IP erstellen, dessen Algorithmen von der CPU/FPU des Motion Controllers ausgeführt werden. Das senkt die Entwicklungskosten und ermöglicht innovative Ansätze.

Vor nicht allzu langer Zeit war es normal, dass SPS, Motion-Control-(CNC) und Feldbus nicht synchronisiert waren. Bei großen z. B. mit PROFIBUS realisierten Anlagen konnten leicht Reaktionszeiten von mehreren 100 Millisekunden auftreten.

Stand der Technik

Heute ist es üblich, dass Industrie-PCs zur Automatisierung eingesetzt werden, wodurch SPS, CNC und Visualisierung eine gemeinsame Hardware nutzen. Auch setzen sich bei neuen Maschinen Ethernet-basierte Feldbusse wie zum

Beispiel EtherCAT immer weiter durch. Es ist mit aktueller Technik kein Problem SPS, CNC und Feldbus mit synchronisierten Zykluszeiten im Millisekundenbereich zu betreiben. Die erreichbaren Zykluszeiten hängen im Wesentlichen von der Größe der Maschine, von der Rechenleistung des Prozessors und von der Konfiguration des Feldbusses ab. Bei CNC-gesteuerten Maschinen liegt die Zykluszeit von Motion Control und EtherCAT als Feldbus heute meist um 1 ms. Die angesteuerten, intern schneller getakteten Servoantriebe nutzen Feininterpolationsalgorithmen, um die geforderte Bahngenauigkeit sicherzustellen.

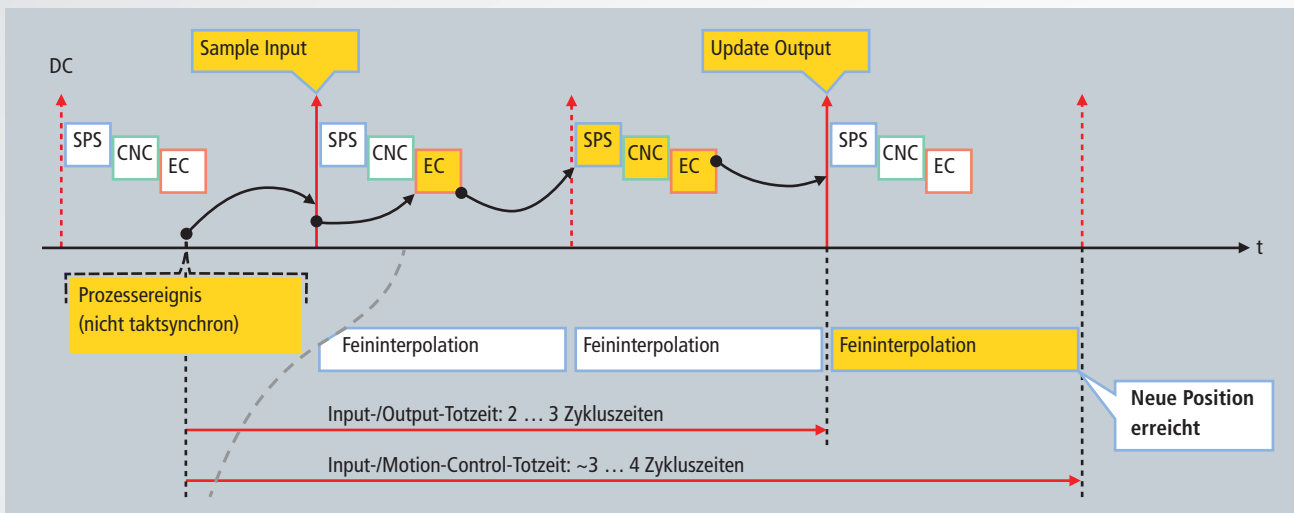


Abbildung 1: Der Signalfluss des Prozessereignisses ist gelb hinterlegt: Sample Prozess Input, synchronisiert vom Distributed Clock (DC), EtherCAT Read (EC), SPS, CNC, EtherCAT Write; Update Output oder Start Feininterpolation.

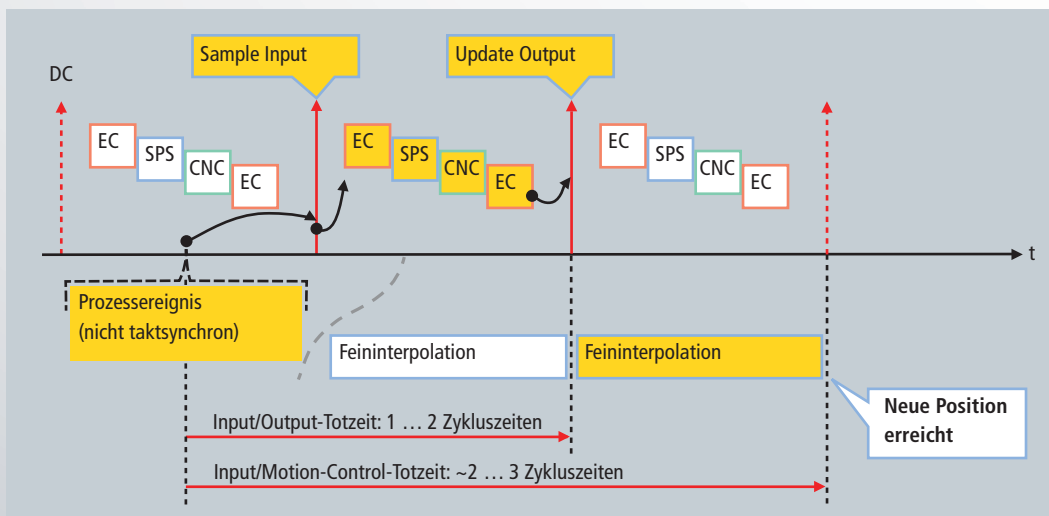


Abbildung 2: Mit zwei EtherCAT-Frames pro Zyklus kann die Totzeit um eine Zykluszeit verringert werden.

Abbildung 1 veranschaulicht den üblichen zeitlichen Ablauf einer Reaktion auf ein Prozessereignis. Nacheinander werden vom Prozessor das Prozessabbild vom Feldbus eingelesen, die SPS- und CNC-Routinen abgearbeitet und die berechneten Datenworte zur Ausgabe mit dem nächsten Feldbuszyklus bereitgestellt. Trigger-Signal zum Abtasten (Input) bzw. zum Halten (Output) ist das EtherCAT-Distributed-Clock-(DC)-Signal, in den Bildern dargestellt durch rote Pfeile. Die EtherCAT-Slaves haben vom Sample der Eingänge bis zum Durchlauf des Frames Zeit, um die Daten im EtherCAT-ASIC bzw. -FPGA zum On-line-Processing bereitzustellen. Analog gilt das für die Bearbeitung der Ausgangssignale bis zur Ausgabe mit dem nächsten DC.

Da alle Zykluszeiten synchron sind, ist die Reaktionszeit ab der Abtastung vollständig deterministisch. Unerwünscht und häufig für den Anwender auch überraschend ist die resultierende Reaktionszeit von ca. 2–3 Zyklen, also z.B. 2–3 ms bei einer Zykluszeit von 1 ms. Falls eine Reaktion über eine Bewegungssteuerung erfolgen soll, kommt der systemimmanente Delay der Feininterpolation von genau einem Zyklus dazu. Insgesamt beträgt die Verzögerung bei einer Motion-Control-Reaktion 3–4 Zykluszeiten. Möchte man bei einer

CNC-Maschine schnell auf z. B. zu hohe Kräfte oder Drehmomente – in der Art eines Regelkreises – reagieren, so ist die beschriebene Verzugszeit regelungstechnisch wirksam und beeinflusst das Verhalten.

Kommunikation mit doppeltem Feldbustakt

Die Aufteilung des üblichen Read/Write-EtherCAT-Frames in zwei Frames ist eine Möglichkeit die Totzeit zu reduzieren:

- Unmittelbar nach dem Sample der Prozessdaten durch das DC-Signal werden mit einem EtherCAT-Read-Frame die Eingangssignale dem Industrie-PC bereitgestellt. Bei aktuellen Industrie-PCs kann für diesen Frame die Hardware-Funktionalität zeitgesteuertes Senden genutzt werden, um eventuelle Latenzzeiten durch Prozessorbearbeitung auszuschließen.
- Sofort nach dem Abarbeiten der Algorithmen durch den Prozessor werden die Ausgangsdaten mit dem EtherCAT-Write-Frame aktualisiert.

Abbildung 2 veranschaulicht den zeitlich optimierten Ablauf einer Reaktion auf ein Prozessereignis. Die resultierende Reaktionszeit beträgt jetzt nur noch 1–2 Zyklen. 1 Zyklus wurde eingespart. Bei einer Reaktion über Motion Control mit

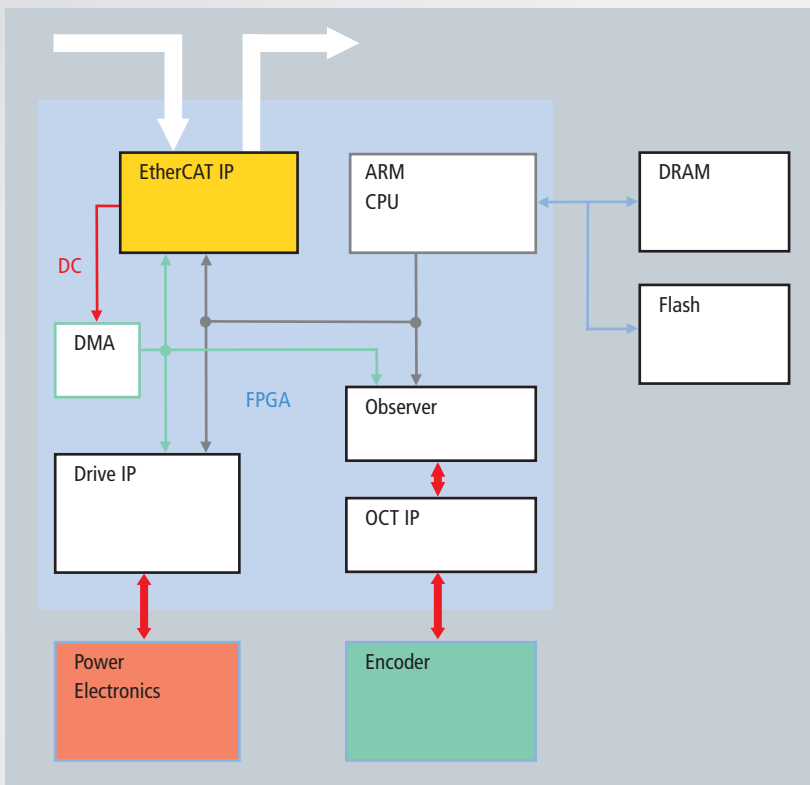


Abbildung 5: EtherCAT Soll- und Istwerte können beim AX8000 innerhalb des FPGAs ohne nennenswerten Delay per DMA kopiert werden.

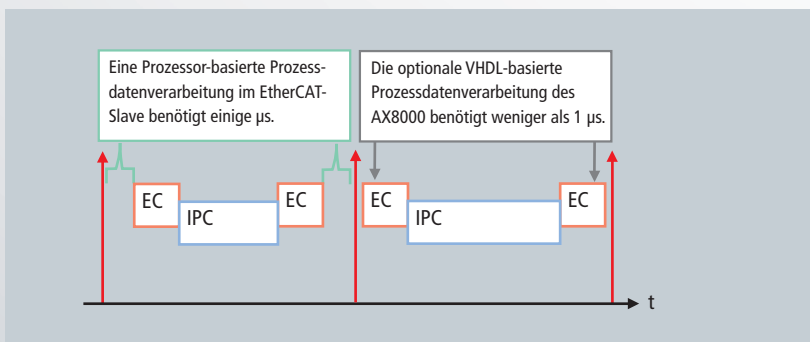


Abbildung 6: Der AX8000 kann Prozessdaten mit VHDL-Algorithmen (in Hardware) verarbeiten. Das ermöglicht eine längere Bearbeitungszeit für IPC-Algorithmen oder schnellere Zykluszeiten.

Optional kann die XFC-Technologie „Oversampling“ genutzt werden: In einem CNC-Task-Aufruf wird eine Folge von z. B. vier Sollwerten mit den zugehörigen Vorsteuergrößen auf dem IPC berechnet und mit einem gemeinsamen EtherCAT-Frame zum AX8000 übertragen. Im Antrieb erfolgt die Übernahme der Sollwerte sequentiell mit – verglichen zur CNC – 4-Mal kürzerer Zykluszeit.

Signalverarbeitung im Multiachssystem AX8000

Bei Zykluszeiten unter 125 µs trennt sich bei Antrieben die Spreu vom Weizen: Eine EtherCAT-Zykluszeit von 62,5 µs zu erreichen ist nicht so schwierig; aber gleichzeitig sicherzustellen, dass bereits wenige µs nach Eintreffen des EtherCAT-Frames – getriggert durch das Distributed-Clocks-Signal – die Leistungshalbleiter wie vorgegeben reagieren, ist eine Herausforderung.

Das Multiachs-Servosystem AX8000 wird dem in jeder Hinsicht gerecht. Nach außen kommuniziert der AX8000 über das Einspeisemodul per EtherCAT mit Standard-Ethernet-Technik. Intern verwendet der AX8000 den EtherCAT-Klemmen-Systembus (E-Bus), der die Ethernet-Frames nur um wenige Nanosekunden verzögert. Herzstück der Achsmodule ist ein leistungsfähiges FPGA, bei dem

programmierbare Logik und eine Dual-Core-ARM-CPU auf einem Silizium-Chip integriert sind.

Die programmierbare Logik wird im Wesentlichen von konfigurierten und verschalteten VHDL-IP (Intellectual Property)-Modulen genutzt:

- Drive-IP-Core, feldorientierte Motorregelung in VHDL codiert
- EtherCAT-IP-Core, on-the-fly-processing von EtherCAT-Frames
- Feedback-IP, wie zum Beispiel OCT zur Ankopplung von Encodern
- Flexible DMA Unit

Drive-IP-Core, in VHDL-codierte feldorientierte Motorregelung

Der vollständig in Hardware (VHDL) implementierte Stromregler vereint die Vorteile analoger und digitaler Regelungstechnologie. Dadurch kann z. B. innerhalb von nur einer Mikrosekunde auf unerwünschte Regelabweichungen reagiert werden, ohne dass es zu einer Überstromabschaltung kommt.

EtherCAT IP-Core – On-the-fly-processing von EtherCAT-Frames

Der EtherCAT-IP-Core ermöglicht es, innerhalb eines FPGAs die EtherCAT-



Prof. Dr. Jens Onno Krah,
Entwicklung und Produktmanagement
Antriebstechnik, Beckhoff

Kommunikationsfunktion zu implementieren. Die EtherCAT-Funktionalität – wie die Anzahl der FMMUs und SYNC-Manager, die Größe des DPRAMs usw. – ist entsprechend der Anforderungen des AX8000 konfiguriert. Die Funktionalität ist kompatibel zur EtherCAT-Spezifikation und zu den EtherCAT-ASICs (ET1100, ET1200).

Feedback-IP – wie zum Beispiel OCT zur Ankopplung von Encodern

Alle Beckhoff Servomotoren der AM8000-Familie sind standardmäßig mit der One Cable Technology (OCT) ausgestattet, sodass Power und Feedback in einer Leitung zusammengefasst sind. Die Kommunikation mit den in den Motoren integrierten Encodern erfolgt über einen im FPGA implementierten OCT-Feedback-IP, und wird FPGA-intern mit dem EtherCAT-DC-Signal synchronisiert. Optional können z. B. auch EnDAT-Encoder verwendet werden.

Flexible DMA Unit

Statt diese IP-Blöcke mit vielen Signalpfaden und Multiplexern zu verbinden, werden FPGA-intern zwei Möglichkeiten unterstützt. Die Datenworte werden entweder vom Prozessor gelesen bzw. geschrieben, oder Sie werden unabhängig vom Prozessor nanosekundengenau mit einer DMA Unit kopiert. Abbildung 5 zeigt ein vereinfachtes Blockschaltbild der FPGA Funktionalität. So können z. B. Sollwerte getriggert vom DC-Signal in wenigen Nanosekunden vom EtherCAT-IP-Dual-Port-RAM zu Drive-IP-Registern übertragen werden. Genauso kann auch ein Ist-Wert vom Encoder – auch zeitgetriggert – zum EtherCAT-IP-Dual-Port-RAM kopiert werden, der dann beim nächsten Durchlauf des zugehörigen EtherCAT-Frames zur Steuerung versendet wird.

Die außergewöhnlich geringe Latenzzeit in Kombination mit der Regelungstechnik in VHDL (d. h. in Hardware) erlaubt es, dass EtherCAT-Frames mit Sollwerten nur kurz vor dem DC-Signal durchlaufen müssen, bzw. EtherCAT-Frames zum Weiterleiten der Istwerte schon kurz nach dem DC-Signal durchlaufen dürfen. Die extrem geringe Latenzzeit ermöglicht es, dass Algorithmen des IPC mehr Zeit nutzen können; alternativ kann die Zykluszeit reduziert werden (Abbildung 6).

In der Praxis heißt das, dass der AX8000 auch bei einer Zykluszeit von nur 62,5 µs zwei Frames pro Zyklus verarbeiten kann. Jedoch muss beachtet werden, dass diese hohe Performance nur in eher kleinen Teilsystemen mit nicht zu langen Ethernet-Frames möglich ist. Bei größeren Anlagen kann durch eine

Aufteilung der Feldbuskommunikation auf mehrere parallele Stränge die erforderliche Zykluszeit ermöglicht werden.

Motion-Control-IP

In den letzten Jahren forschen und entwickeln viele Teams an innovativen Algorithmen für Synchron-, Reluktanz- und Asynchronmaschinen oder an spezielleren Projekten. Z. B. kann es sich auch um eine Linearisierung einer Kniehebelkinematik handeln. Durch die fehlenden offenen und standardisierten Schnittstellen werden deshalb immer wieder einzelne Hardwarebaugruppen in kleinen Stückzahlen erstellt.

Bisher war der Einsatz von Intellectual Property (IP) bei Antriebsreglern nicht vorgesehen. Hersteller öffnen die Gerätearchitektur in der Regel nicht für Maschinenbauunternehmen oder Endkunden. Das liegt vor allem an der geringen Rechenleistung der bisher eingesetzten µ-Controller bzw. DSPs, die meist in Assembler bzw. hardwarenahem „C“ programmiert sind.

Bei einem TwinCAT-basierten Servoantrieb ist der Einsatz von IP naheliegend. Durch die heute verfügbare Hardware ist die Programmierung eines Antriebs viel weniger zeitkritisch. Weil ein Teil der Algorithmen innerhalb des FPGAs in VHDL implementiert sind, reduziert sich die Anzahl der notwendigen Tasks innerhalb eines Antriebs. Aufwendige Algorithmen können mit der leistungsfähigen ARM-CPU mit FPU gerechnet werden. Auch die Nutzung der installierten Prozessorleistung ist viel effizienter, da Compiler-Technologie zum Einsatz kommt.

MATLAB®/Simulink® von the MathWorks ist „das“ Standard-Tool zur Simulation von Regelkreisen. In fast jeder Entwicklungsabteilung findet sich mindestens eine Lizenz. Die Anbindung von MATLAB®/Simulink® ermöglicht die Ausführung von TwinCAT-Modulen, die in der Simulationsumgebung Simulink® als Modell erzeugt wurden. Durch die gewählte Art der Anbindung werden die Parameter und Variablen in der grafischen Oberfläche von TwinCAT 3 dargestellt und können zur Laufzeit auch in der Echtzeitumgebung betrachtet und geändert werden.

weitere Infos unter:

www.beckhoff.de/AX8000