

Intel®-Multi-Core™-Technologie sorgt für mehr Leistung  
in der PC-basierten Automatisierungstechnik

# PC-based Control mit Multi-Core™-Technologie

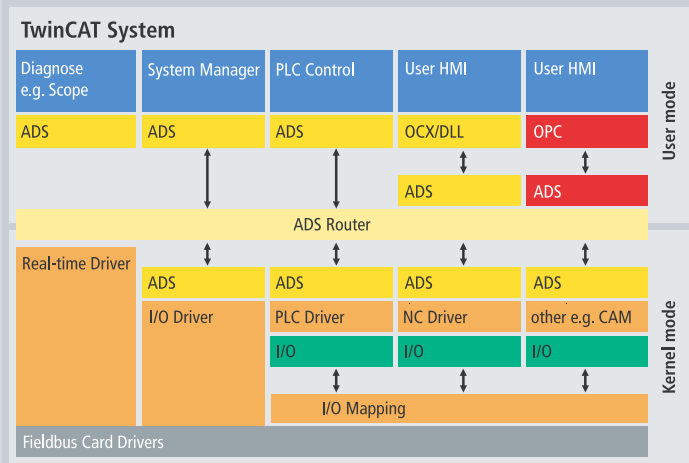
- Bei der PC-basierten Steuerungstechnik zeichnet sich ein Trend zu Multi-Prozessorssystemen ab. Betriebssystem, SPS und Motion-Steuerung und beispielsweise HMI werden auf verschiedenen Prozessorkernen verteilt. Wie sich diese Technologie auf neue Steuerungskonzepte auswirken kann, erläutern Ramon Barth, bei Beckhoff Leiter der Grundlagenentwicklung, und Sebastian Richter, Field Application Engineer bei der Intel GmbH in Deutschland.



Aufgrund der großen Verbreitung und der ständig wachsenden Rechenleistung – bei vergleichsweise geringen Kosten – bietet die PC-Technologie eine hervorragende Plattform für die Automatisierungstechnik. Sie erlaubt es, Automatisierungsaufgaben in Software zu lösen, die mit dezidiert Hardware nur zu wesentlich höheren Kosten ausgeführt werden könnten. Außerdem ist die Softwarelösung flexibel skalierbar: So hängt beispielsweise die Anzahl der regelbaren NC-Achsen nur von der verfügbaren Rechenleistung der CPU ab. Bei heutigen X86-Systemen, mit integrierter Hardware-Fließkommaeinheit, sind Anwendungen mit 50 bis 100 Servoachsen keine Seltenheit. Die Anzahl der Achsen stellt hierbei nur einen vom Anwender konfigurierbaren Parameter dar.

## Grundlagen PC-basierter Automatisierungstechnik

Kern der Beckhoff „New Automation Technology“ ist die Philosophie PC-basierter Steuerungstechnik, derzufolge alle Steuerungs- und Visualisierungsaufgaben von einer zentralen CPU und dezentralen (nicht-intelligenten) I/Os ausgeführt werden. Da in etwas komplexeren Anwendungen in der Regel ein PC als Visualisierungs-„Frontend“ zum Einsatz kommt, der mit dieser Aufgabe nicht ausgelastet ist, liegt der Gedanke nahe, Automatisierungsaufgaben, wie z. B. PLC und Bewegungssteuerung, von demselben PC rechnen zu lassen. Dazu erweitert man das Windows-Betriebssystem um ein integriertes, schlankes Echtzeitsystem, das



sich gegenüber dem Betriebssystem wie ein normaler Gerätetreiber darstellt. Innerhalb des Echtzeitsystems laufen Automatisierungsprozesse, wie z. B. PLC, Motion Control, Nockenschaltwerk und Streckensteuerung, als Tasks. Der Zugriff auf die benötigte Peripherie erfolgt über die bekannten Feldbussysteme sowie per Ethernet. Das Ethernet-basierte Feldbussystem EtherCAT beseitigt zudem den „Flaschenhals“, den bisher der Feldbus darstellte. Die prinzipiell modulare Architektur der PC-basierten Steuerungstechnologie bietet außerdem die Voraussetzung für die effektive Nutzung von Mehrprozessorkernen.

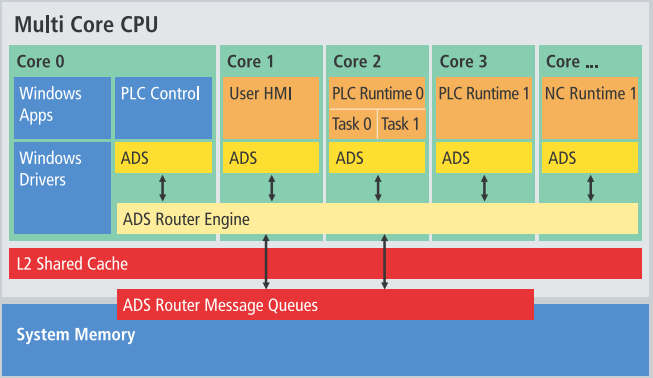
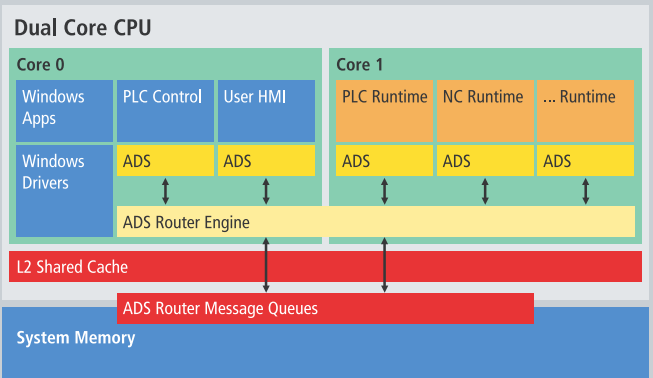
### Intel®-Multi-Core-Technologie

In den vergangenen Jahren sah man ein Kopf-an-Kopf-Rennen zwischen Intel® und deren Mitbewerbern, wer den schnellsten Prozessor auf den Markt brächte. Dieser auf dem Desktop-Markt ausgetragene Wettbewerb hatte für Industrieanwendungen eine Steigerung des Leistungsverbrauchs zur Folge. Neue Prozessorgenerationen gehen den Weg des Parallelismus, indem mehrere Prozessorkerne in ein Gehäuse integriert werden, bei teilweiser Senkung der Frequenz.

Mit der Einführung von Multi-Core-Systemen kam zuerst eine Reduktion der Taktfrequenz, welche sich vordergründig negativ auf die Gesamtleistung des Systems auswirkt, da seriell ablaufende Programme durch die niedrigere Frequenz nicht so schnell abgearbeitet werden. Um den größtmöglichen Nutzen aus den neuen Rechnerarchitekturen zu ziehen, wird ein Umdenken bei den Applikationsentwicklern verlangt: Was bisher noch möglichst schnell seriell abgearbeitet wird, sollte in Zukunft gleichzeitig auf beiden Cores laufen.

Bei geschickter funktioneller oder datenbasierter Trennung der Aufgaben erhält man eine Automatisierungsanwendung, die eine deutliche Beschleunigung jenseits der 50%-Marke erfährt. Um einen auch nur annähernden Leistungszuwachs durch Frequenzsteigerung zu erreichen, müsste der IPC-Hersteller eine hohe Leistungsaufnahme in Kauf nehmen und in wesentlich hochpreisigere Produkte investieren.

Mit der zweiten Generation von Dual-Core™-Produkten führte Intel® im Jahr 2006 die „Core™ Microarchitecture“ ein, bekannt unter dem Label „Core™2 Duo“. Durch die Verringerung der Strukturweite auf 65 nm und bei grundlegender Architekturänderung – verglichen mit Netburst oder Yonah – erfuhren die Dual-Core™-Prozessoren einen weiteren Leistungsschub, bei einer stark reduzierten Leistungsaufnahme.



Dem Industrie-PC steht damit ein Leistungsopotenzial zur Verfügung, das bisher dem Serversegment vorbehalten war und so völlig neue Anwendungsfelder eröffnet.

### Praktischer Einsatz der Dual-Core-Technologie

Als weitere Neuerung ermöglicht ein Dual-Core-System die physikalisch parallele Abarbeitung verschiedener Funktionen, die vorher nur quasi parallel – mit dem Nachteil gegenseitiger Beeinflussung der Rechenleistung – auf einem System ausgeführt werden konnten.

Ein gutes Beispiel liefert die Aufteilung der Ressourcen auf die Steuerung und das HMI. Erster wird auf einem Kern ausgeführt unter einem eingebetteten Echtzeitsystem, um die Echtzeitfähigkeit zu bewahren und jegliche Einflussnahme einer grafikbasierten Ausgabe auszuschließen. Umgekehrt profitiert auch die Nicht-Echtzeitanwendung von dem eigenen CPU-Kern, den sie exklusiv zur Verfügung hat. Der zweite Kern stellt für das HMI eine allgemeine Betriebssystemplattform bereit, bei der nicht die Deterministik, sondern die grafischen Möglichkeiten im Vordergrund stehen. So werden z. B. Bildumschaltzeiten der Bedienoberflächen kürzer und die Kompilierzeiten der PLC-Projekte, wenn sie auf dem Zielsystem übersetzt werden, drastisch reduziert. Wo ein 2,8-GHz-P4-System bei 50%iger Auslastung durch die Echtzeitanwendung für eine vollständige Neukompilation eines 4,5-MB-PLC-Projekts ca. 6 Min. benötigt, braucht ein 2,16-GHz-Core™2-Duo-System für dasselbe Projekt nur noch 40s. Das TwinCAT-System nutzt die beschriebenen Eigenschaften für den Anwender transparent aus.

Auf Single-Core-Systemen werden die TwinCAT-Echtzeitfunktionen quasi parallel mit höchster Priorität deterministisch ausgeführt. Dank des patentierten Um-



schaltverfahrens zwischen Windows- und Echtzeitanwendung werden zeitkritische Windowsfunktionen rechtzeitig im Zeitraster des Echtzeitsystems bearbeitet. Allerdings geht ein erhöhter Rechenleistungsbedarf der Echtzeitanwendungen in jedem Fall zu Lasten der Leistungsfähigkeit der Windowsanwendungen. Die Kommunikation zwischen beiden Welten erfolgt durch das nachrichtenbasierte TwinCAT-ADS-Kommunikationssystem; der TwinCAT-ADS-Router synchronisiert hierbei die Prozesskommunikation.

Dual-Core-Systeme werden von TwinCAT automatisch erkannt; einer der beiden Cores (siehe Abb.: Dual Core-CPU) wird von der Echtzeitfunktionalität belegt, wobei die vom Echtzeitkern nicht genutzte Rechenzeit des Cores für Windows zur Verfügung steht. Für die Synchronisierung zwischen Windows-Applikation und Echtzeitanwendungen, wie SPS oder NC, ist wiederum das ADS-Nachrichtensystem zuständig.

Zur optimalen Nutzung der Dual-Core-CPU's wurden das TwinCAT-Echtzeitsystem sowie der ADS-Router – unter Wahrung der Kompatibilität zu den Vorgängerversionen – erweitert. Da beide CPU-Cores auf denselben Speicher und den gemeinsamen L2-Cache zugreifen, musste der ADS-Router nur um die Multiprozessorsynchronisierung ergänzt werden, um die ADS-Nachrichten sicher an die angemeldeten Prozesse zu verteilen. Das Resultat für den Anwender besteht in einer höheren Rechenleistung für die Gesamtanwendung bei minimalem Migrationsaufwand.

In Zukunft werden, über Doppelkern-CPU's hinaus, auch Vier- bzw. Achtfach-Kerne zu vertretbaren Kosten verfügbar sein. Im Vorteil sind hier wiederum die softwarebasierten Lösungen, da diese in der Lage sind, Aufgaben je nach Anzahl der verfügbaren CPU-Kerne zu verteilen. Zudem bedarf es eines weitaus geringeren Aufwandes, um eine funktionelle Trennung vorzunehmen. Funktionale Einheiten können auf dedizierte Cores verteilt werden. Das TwinCAT-System von Beckhoff wird dem Anwender durch entsprechende Konfigurations- und Diagnosewerkzeuge die Nutzung von Multi-Core-Systemen deutlich erleichtern. Im TwinCAT System Manager können zum Beispiel die Laufzeiten der Echtzeittasks beobachtet werden und Prioritäten bzw. Ablaufreihenfolgen der Tasks manuell konfiguriert werden.

In der Standardbetriebsart wird der zu aktivierenden Task durch „Load Balancing“ entweder ein freier Core zugeteilt oder – entsprechend der Priorität – der optimale Core zugewiesen. Mit konfigurierbaren Core-Affinitäten können Tasks aber auch statisch einem Core zugeordnet werden. So lässt sich mit Hilfe von vorgefertigten Profilen auch wieder eine klassische Einteilung in SPS- bzw. NC-Lauf-

## Durchgängige IPC-Baureihen mit Core™-Duo-/Core™2-Duo-Technologie

Wie bereits bei der Pentium®-M-Technologie setzt Beckhoff auch Intel® Core™ Duo/Core™2 Duo auf seine selbst entwickelten Motherboards um. Dabei ist sichergestellt, dass ein ausgesuchter Chipsatz und Prozessortyp schrittweise in alle IPC-Serien eingeführt wird. Der Anwender kann so aus bis zu 13 verschiedenen IPC-Gerätefamilien, ausgestattet mit Core™-Duo-Performance, den für seine Applikation passenden IPC wählen: Ganz gleich ob ein flexibler Panel-PC C3640, mit vielen freien PCI- und PCIe-Slots, gewünscht ist bis hin zu einem ultrakompakten Schaltschrank-Industrie-PC vom Typ C6920.

Neben der Performancesteigerung bringt die Core™-Duo-/Core™2-Duo-Technologie – und der damit verbundene 945er-Chipsatz – weitere Vorteile für den Anwender: Die geringe Leistungsaufnahme der Core™-Duo-/Core™2-Duo-Prozessoren hat thermisch äußerst stabile Systeme zur Folge. D. h. die max. äußere Umgebungstemperatur der IPCs ist bis 55 °C möglich. Weiterhin bietet der von Beckhoff verwendete Intel® Chipsatz 945 mit seiner ICH 7R einen On-Board-SATA-RAID-1-Controller, der eine zuverlässige und schnelle Datensicherung erlaubt. Benötigt wird lediglich ein IPC, welches zwei Festplatten integriert. Auch hier kommt dem Anwender die Produktvielfalt von Beckhoff zugute.

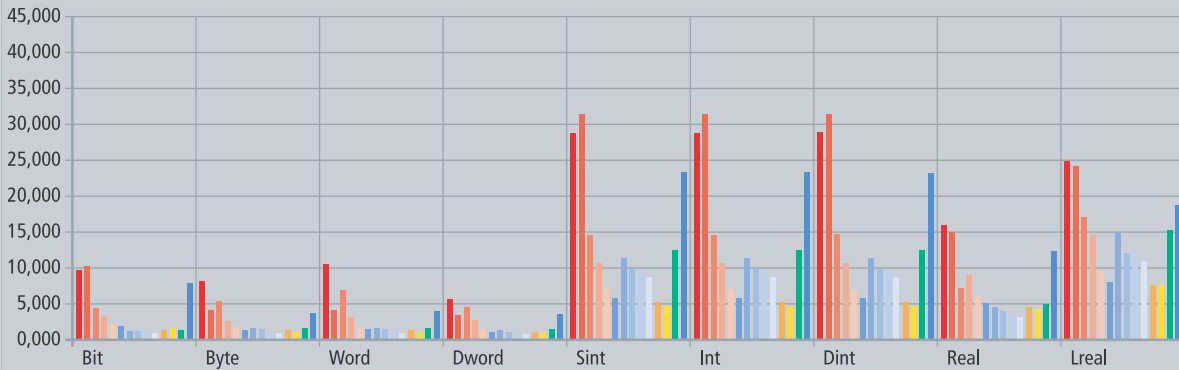
Darüber hinaus stellt Beckhoff mit ADD2 eine PCI-Express-Steckkarte zur Verfügung, welche zwei DVI-Monitoranschlüsse realisiert. Somit lassen sich standardmäßig zwei Displays anschließen, welche Clone-, Extended- und Twin-Mode ermöglichen.

Da der Anwender mit den Core™-Duo-/Core™2-Duo-Prozessoren auf neueste Technologie setzt, ist ihm, neben allen technischen Eigenschaften, auch eine hohe Langzeitverfügbarkeit sicher.

→ [www.beckhoff.de/IPC](http://www.beckhoff.de/IPC)

**Comparison Chart based on Data Type**

Execution Time (µs/1k)



**Data Type**

- Intel® Celeron® CPU 733 MHz
- Intel® Celeron® M ULV CPU 600 MHz
- Intel® Celeron® CPU 2.00 GHz
- Intel® Celeron® M ULV CPU 1.00 GHz
- Intel® Celeron® M CPU 1.50 GHz
- Intel® Pentium® M CPU 1.80 GHz
- Intel® Pentium® 4 CPU 2.40 GHz
- Intel® Pentium® 4 CPU 2.80 GHz
- Intel® Pentium® 4 CPU 3.40 GHz
- Intel® Pentium® 4 CPU 3.80 GHz
- Intel® Core™ 2 Duo Desktop CPU E6600 2.40 GHz
- Intel® Core™ Duo CPU T2500 2.00 GHz
- Mobile Intel® Pentium® 4 M CPU 2.20 GHz
- Intel® Pentium® III CPU 850 MHz

**CPU-Benchmark-Vergleich für spezielle Operationstypen:**

Operationstypen (Data Type)	Befehl
Bit-Operation (Bit, Byte, Word, Dword)	AND, OR, XOR, NOT
Integer-Operation (Sint, Int, Dint)	ADD, SUB, MUL, DIV
Real-Operation (Real, Lreal)	ADD, SUB, MUL, DIV

zeitsysteme herstellen. Da der TwinCAT-Anwender schon heute in SPS-Tasks und -Laufzeitsystemen denkt, wird auch hier der Übergang vom Single- bzw. Dual-Core- zum Multi-Core-System fließend sein.

**Anforderungen an die Anwendungsentwickler**

Für die Entwickler von Echtzeit- bzw. SPS-Anwendungen in der TwinCAT Systemumgebung ist der Umstieg von Single-Core-Systemen zu Dual-Core Systemen nahtlos. Die Echtzeit-Laufzeitumgebung nutzt weiterhin nur eine CPU, somit können bestehende SPS-Projekte ohne Vorteilsverlust eins zu eins übernommen werden.

Da TwinCAT nicht genutzte CPU-Zeit für Windows-Anwendungen zur Verfügung stellt, sieht das Windows Betriebssystem zwei CPUs, von denen eine teilweise ausgelastet ist. Hiervon können aus mehreren Programmfäden (Threads) aufgebauete Windowsanwendungen ihre Vorteile ziehen. Das Windows-Betriebssystem verteilt die Anwendungs-Threads auf die verfügbaren CPUs, diese Threads laufen physikalisch parallel ab und die CPU-Hardware wird optimal genutzt. Allerdings treten in der Anwendung vorhandene Synchronisationslücken in der physikalischen Parallelbearbeitung eher auf als in der quasi parallelen Abarbeitung von Threads.

Um in Zukunft auch Multi-Core Systeme optimal nutzen zu können, müssen alle Anwendungen soweit wie möglich modular in Threads bzw. Tasks aufgeteilt werden. Dies gibt Windows wie auch TwinCAT die Möglichkeit die Abarbeitung von Programmteilen optimal auf die verfügbaren CPU-Cores zu verteilen (Stichwort: Load-Balancing). Monolithische Programme werden zwar weiterhin funktionieren, aber sie werden die vorhandene Rechenkapazität zu einem immer geringer werdenden Teil nutzen können. Zu beachten ist bei der Entwicklung von Anwendungen mit mehreren Threads eine saubere Synchronisierung der verschiedenen

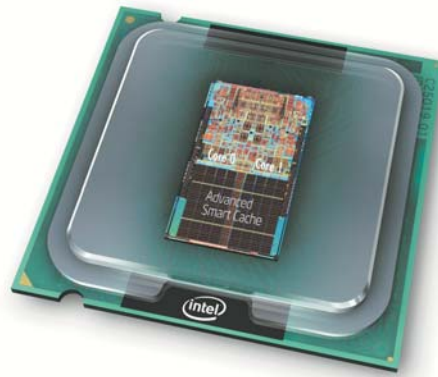
Programmteile beim Zugriff auf gemeinsame System-Ressourcen. Hierzu stellt das jeweilige Betriebssystem geeignete Mechanismen wie Semaphoren, Critical Section etc. zur Verfügung.

Die physikalisch parallele Abarbeitung von Programmteilen fordert auch bei erfahrenen Entwicklern ein teilweises Umdenken. In streng prioritätsgesteuerten Echtzeitsystemen läuft der höchstpriorie Thread auf sein Ende ohne unterbrochen zu werden. Diese Eigenschaft berechtigt auf Single-Core-Systemen zu der Annahme, dass zur Laufzeit des hochpriorien Threads kein niederpriorier Thread aktiv ist. Dies gilt für Multi-Core-Systeme allerdings nicht mehr: Während der höchstpriorie Thread von einem Core abgearbeitet wird, können gleichzeitig niederpriorie Threads von anderen Cores bearbeitet werden. Das Sperren von Interrupts ist bei Multi-Core-CPU's ebenfalls keine geeignete Synchronisierungsmethode mehr, da die Sperrung nur für den jeweils genutzten Core gilt.

**Mehr Rechleistung dank neuer CPU-Architektur**

Aber auch wenn man nur einen Kern betrachtet, zeigt sich mit jeder neuen CPU-Architektur eine steil ansteigende Rechenleistungskurve. Bei Beckhoff Automation wird für jede eingesetzte CPU ein PLC-Benchmark (vgl. PLC-Benchmark) durchgeführt, der die Ausführungszeit von wesentlichen IEC 61131-PLC-Operationen testet. Auffällig ist hierbei der Performance-Unterschied zwischen der Netburst-Generation und CPUs, die auf der „Core™ Microarchitecture“ beruhen (dies gilt auch in geringerem Maße für die Pentium®-M-Produkte). Den Einfluss der Prozessorarchitektur verdeutlicht die Tatsache, dass Core™-Microarchitecture-CPU's, trotz deutlich niedrigerer Taktfrequenz, bei den Tests gleiche oder bessere Leistungswerte erzielen. Die Leistung einer CPU ist also nicht nur an der ausgewiesenen Taktfrequenz festzumachen.

## Intel® Core™ Microarchitecture



Mit der Einführung der Woodcrest-, Conroe- und Merom-Produkte hat Intel® die neue Core™ Microarchitecture in allen Segmenten der Embedded-Roadmap eingeführt, von der Performance- über die Scaleable- bis zur Low-Power-Schiene.

Nachdem sich die Netburst-Architektur, aus den vorher genannten Gründen, für eine weitere CPU-Generation verbietet, kombiniert die Core™ Microarchitecture die Vorteile von Netburst und der mobilen Yonah-Architektur und geht mit einigen Verbesserungen weit darüber hinaus. Die wichtigsten Neuerungen und deren Auswirkungen auf die Systemperformance sind:

### Wide Dynamic Execution

Seit der Einführung der „Dynamic Execution“ in der P6-Architektur (Pentium® II/Pentium® III), wurde diese im Zuge der Netburst-Architektur zur „Advanced Dynamic Execution“ erweitert. Darunter fallen Techniken, wie die Datenflussanalyse, die spekulative Ausführung von Instruktionen sowie die so genannte Out-of-order-Execution. Hierbei werden Befehle nicht zwingend nacheinander bearbeitet, sondern in einer Reihenfolge ausgeführt, die den Prozessor optimal auslastet.

Durch eine erweiterte „Branch Prediction“ wird die Vorhersagegenauigkeit erhöht und damit ein erneutes Laden von Instruktionen durch fehlerhafte Vorhersagen verhindert.

Die Core™ Microarchitecture erweitert diese Fähigkeiten, indem sie mehr Instruktionen pro Zyklus laden, dekodieren und ausführen kann (vier im Vergleich zu drei Instruktionen bei vorherigen Architekturen).

Um die Energieeffizienz noch weiter voran zu treiben (Performance/Watt), sind diese CPUs in der Lage, durch sogenannte „Macrofusion“ sehr häufig vorkommende X86-Instruktionen in eine Mikro-Operation zu überführen und damit Zyklen bei der Ausführung zu sparen.

Somit erzeugt der Decoder z. B. aus einem Vergleich (CMP) und dem folgenden, bedingten Sprung (JNE) eine einzige Mikro-Operation (CMPJNE). Entsprechend wurden die ALUs erweitert und können nun mit diesen kombinierten Befehlen umgehen.

### Advanced Smart Cache

Eine wichtige Neuerung der Prozessorarchitektur betrifft den Aufbau des L2-Caches. Während bei anderen Dual/Multi-Core-Designs jeder Kern über einen separaten L2-Cache verfügt, haben beispielsweise die beiden Kerne einer Core™2-Duo-CPU, einen gemeinsamen L2-Cache.

Dieser Aufbau unterstützt hervorragend Softwaredesigns, welche Threads einer Applikation auf beiden Kernen laufen lassen. Jeder Teil dieser Applikation braucht Zugang zu den zu bearbeitenden Daten – idealerweise solchen, die

schon im L2-Cache vorliegen. Durch die gemeinsame Nutzung hat jeder Kern vollen Zugriff auf den Cache und sieht die Daten. Bei getrenntem Cache sind zeitintensive Transfers zwischen den Speichern notwendig.

### Smart Memory Access

Die bereits beschriebenen Verbesserungen kommen nicht zum Tragen, wenn nicht die Informationen zur richtigen Zeit an der richtigen Stelle sind. Hierbei spielt natürlich eine gute Vorhersage der verarbeitenden Einheiten eine Rolle; noch viel größer ist der Einfluss des Speicher- und Bandbreiten-Managements.

Smart Memory fasst Techniken zusammen, die durch eine optimale Ausnutzung der Bandbreite auf den Speicherbussen eine Zugriffsverzögerung verhindern sollen. Neu ist hierbei die sogenannte „Memory Disambiguation“, die es der CPU ermöglicht, intelligent zu entscheiden, ob ein Load schon vor einem Store stattfinden kann. – In alten Prozessorarchitekturen wurde dies strikt verboten, um die Datenkohärenz sicher zu stellen, da sonst Daten geladen werden konnten, die vielleicht schon veraltet waren und mit dem nächsten Store überschrieben wurden. Damit wird eine Out-of-order-Verarbeitung der Befehle in gesteigertem Maße möglich, die wiederum Zeit und somit Energie spart. Selbst eine Fehleinschätzung dieser Algorithmen führt nicht zu einer Invalidierung der Daten, sondern zu einem Nachladen der korrekten Daten.

Eine weitere Eigenschaft der neuen Prozessorarchitektur behandelt das Problem der Speicherbandbreite. Die Intel® Core™ Microarchitecture führt insgesamt acht sogenannte „Prefetcher“ ein, die dafür sorgen, dass die Daten möglichst früh und zu einem Zeitpunkt geladen werden, da der Bus nicht zu stark belastet ist. Jeder Kern einer Dual-Core-CPU besitzt drei dieser Einheiten (zwei für Daten, einen für Instruktionen); die letzten beiden füllen den geteilten L2-Cache mit Daten.

Zusammengenommen sorgen all diese Änderungen in der CPU-Architektur für einen Performancezuwachs von bis zu 90 %, bei einer um bis zu 40 % gesenkten Leistungsaufnahme.

Gerade durch das intelligente Memory-Subsystem und die effizientere Nutzung des FSB kommt es bei kritischen Echtzeitanwendungen in der Automatisierungstechnik zu keinerlei Latenzproblemen.

Eine auf diese Prozessorarchitektur ausgerichtete Software kann als zukunftssicher gelten, da sie mit den kommenden Generationen von Multi-Core-Prozessoren kompatibel ist und durch ihren modularen Aufbau mehr Funktionen bietet, bzw. Funktionen mit mehr Ressourcen ausstatten kann.

→ [www.intel.com](http://www.intel.com)